

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-100181

(43)Date of publication of application : 07.04.2000

(51)Int.Cl.

G11C 16/06

(21)Application number : 11-225783

(71)Applicant : SAMSUNG ELECTRONICS CO LTD

(22)Date of filing : 09.08.1999

(72)Inventor : KEN SHAKUSEN

(30)Priority

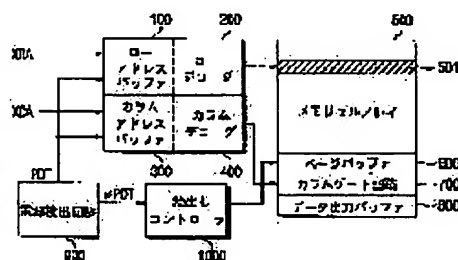
Priority number : 98 9832514  
99 9927255Priority date : 11.08.1998  
07.07.1999Priority country : KR  
KR

## (54) FLASH MEMORY DEVICE AND ITS DATA-READ METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a flash memory device that is used as a bootup memory in a computer system, and its data-read method.

SOLUTION: A flash memory device is used for a system as a bootup storage element. The device includes a power supply detection circuit 900 that detects whether a power supply voltage is lower than a specific detection voltage or not and generates a detection signal according to the result. The detection signal is applied to row and column address buffers 100 and 300 to generate initial row and column addresses for specifying a memory cell for storing bootup data. As a result, bootup data being stored in the memory cell due to the detection operation of a power supply voltage without any external address and instructions is automatically addressed, is detected, and is outputted to the outside.



## LEGAL STATUS

[Date of request for examination]

27.05.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2000-100181  
(P2000-100181A)

(43) 公開日 平成12年4月7日(2000.4.7)

(51) Int.Cl.<sup>7</sup>  
G 1 1 C 16/06

識別記号

F I  
G 1 1 C 17/00テーマコード(参考)  
6 3 2 C

審査請求 未請求 請求項の数15 O L (全 7 頁)

(21) 出願番号 特願平11-225783

(22) 出願日 平成11年8月9日(1999.8.9)

(31) 優先権主張番号 1 9 9 8 P - 3 2 5 1 4

(32) 優先日 平成10年8月11日(1998.8.11)

(33) 優先権主張国 韓国 (K R)

(31) 優先権主張番号 1 9 9 9 P - 2 7 2 5 5

(32) 優先日 平成11年7月7日(1999.7.7)

(33) 優先権主張国 韓国 (K R)

(71) 出願人 390019839

三星電子株式会社

大韓民国京畿道水原市八達区梅灘洞416

(72) 発明者 權 錫 千

大韓民国京畿道城南市盆唐区亭子洞122

常緑タウン 宇星アパート325-801

(74) 代理人 100086368

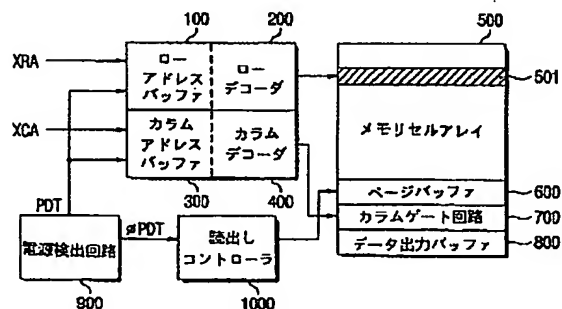
弁理士 萩原 誠

(54) 【発明の名称】 フラッシュメモリ装置及びそのデータ読出し方法

(57) 【要約】

【課題】 コンピュータシステム内でブートアップメモリとして使用されるフラッシュメモリ装置及びそのデータ読出し方法を提供する。

【解決手段】 本発明のフラッシュメモリ装置はブートアップ貯蔵要素としてシステムに使用される。フラッシュメモリ装置は電源電圧が所定の検出電圧より低いかな否かを検出し、結果で検出信号を発生する電源検出回路900を含む。検出信号はブートアップデータを貯えるメモリセルを指定するための初期ロー及びカラムアドレスを発生するようにロー及びカラムアドレスバッファ100, 300に印加される。結果的に、外部アドレス及び命令なしで電源電圧の検出動作によりメモリセルに貯えられたブートアップデータが自動的にアドレスされ、感知され、そして外部へ出力される。



## 【特許請求の範囲】

【請求項1】 ローとカラムとで配列された複数のメモリセルを有するメモリセルアレイと、  
電源電圧が所定の検出電圧より低い時第1検出信号を発生する電源検出回路と、  
前記第1検出信号に応答してアドレスを内部的に発生するアドレス発生手段と、  
前記アドレスに応答して前記メモリセルアレイからデータを読み出す読み出し回路とを含むことを特徴とするフラッシュメモリ装置。

【請求項2】 前記読み出し回路は、  
前記内部的に発生されたアドレス中のローアドレスに対応するローを選択するロー選択回路と、  
前記内部的に発生されたアドレス中のカラムアドレスに対応するカラムを選択するカラム選択回路と、  
前記選択されたローのメモリセルに貯えられたデータを感知するページバッファ回路と、  
第2検出信号に応答して前記ページバッファ回路の感知動作を制御する読み出しコントローラとを含み、  
前記第2検出信号は前記電源電圧が前記所定の検出電圧に到達する時、前記電源検出回路から発生されることを特徴とする請求項1に記載のフラッシュメモリ装置。

【請求項3】 前記電源検出回路は、前記電源電圧が前記所定の検出電圧に到達する時、前記第1検出信号を非活性化させることを特徴とする請求項2に記載のフラッシュメモリ装置。

【請求項4】 前記第1検出信号は、前記電源電圧が前記所定の検出電圧より低い時前記電源電圧により変化し、前記電源電圧が所定の検出電圧に到達する時接地電圧を有し、前記第2検出信号はパルス信号であることを特徴とする請求項3に記載のフラッシュメモリ装置。

【請求項5】 読み出し命令信号に応答して前記ページバッファ回路により感知されたデータを前記メモリ装置の外部へ出力するデータ出力バッファ回路を付加的に含むことを特徴とする請求項4に記載のフラッシュメモリ装置。

【請求項6】 前記ページバッファ回路により感知されたデータはブートアップデータであることを特徴とする請求項5に記載のフラッシュメモリ装置。

【請求項7】 前記アドレス発生手段は、  
前記第1検出信号に応答して前記ローアドレスを発生するローアドレスバッファと、  
前記第1検出信号に応答して前記カラムアドレスを発生するカラムアドレスバッファとを含むことを特徴とする請求項6に記載のフラッシュメモリ装置。

【請求項8】 前記ロー及びカラムアドレスバッファは、前記ブートアップデータに関連する読み出し動作が終了した後、外部から印加されるロー及びカラムアドレスを受け入れることを特徴とする請求項7に記載のフラッシュメモリ装置。

【請求項9】 フラッシュメモリ装置を備えたシステムに電源電圧が印加される時、前記メモリ装置に貯えられたブートアップデータを読み出す方法において、  
前記電源電圧が所定の検出電圧より低い時、前記メモリ装置の内部で初期アドレスを発生する段階と、  
前記電源電圧が前記所定の検出電圧に到達する時、前記内部的に発生された初期アドレスにより前記ブートアップデータを感知する段階とを含むことを特徴とする方法。

10 【請求項10】 前記初期アドレスは、前記メモリ装置の内部アドレスバッファで発生されることを特徴とする請求項9に記載の方法。

【請求項11】 外部からの読み出し命令信号に応答して、前記感知されたブートアップデータを前記メモリ装置の外部へ出力する段階を付加的に含むことを特徴とする請求項9に記載の方法。

【請求項12】 前記ブートアップデータに関連された読み出し動作が終了した後、外部から前記メモリ装置へ提供されるアドレスにより正常的な読み出し/書き込み動作が遂行されることを特徴とする請求項9に記載の方法。

【請求項13】 ローとカラムとで配列されたメモリセルを有し、ブートアップデータを貯えるフラッシュメモリ装置のデータ読み出し方法において、  
電源電圧が所定の検出電圧より低い時、初期ロー及びカラムアドレスを内部的に発生する段階と、  
前記電源電圧が前記所定の検出電圧に到達する時、前記初期ローアドレスに対応するメモリセルに貯えられた前記ブートアップデータを感知する段階と、  
前記初期カラムアドレスに対応するページバッファを選択する段階とを含むことを特徴とする方法。

【請求項14】 読み出し命令信号に応答して、前記選択されたページバッファに貯えられたデータを前記メモリ装置の外部へ出力する段階を付加的に含むことを特徴とする請求項13に記載の方法。

【請求項15】 前記初期ロー及びカラムアドレスは、前記メモリ装置のロー及びカラムアドレスバッファで各々発生されることを特徴とする請求項13に記載の方法。

## 【発明の詳細な説明】

40 【0001】

【発明の属する技術分野】本発明は、半導体メモリ装置に係り、詳しくはコンピュータシステムでブートアップメモリとして使用することが望ましいフラッシュメモリ装置に関する。

【0002】不揮発性フラッシュメモリ（例えば、NAND型フラッシュEEPROM）は、ポータブルコンピュータ（又はノートブックコンピュータ）、携帯用セット（例えば、セルラーホン）、ハードディスクのような補助記憶装置、そしてパーソナルコンピュータのような多様な応用に使用されてきた。さらに、フラッシュメ

モリは自動応答機のオーディオ情報を貯えるための媒体として、あるいはデジタルスティールカメラの画像情報を貯える媒体としても応用されてきた。

【0003】フラッシュメモリはダイナミックランダムアクセスメモリ(DRAM)やスタティックランダムアクセスメモリ(SRAM)のような異なる種類のメモリと異なるインタフェース形態とに適用されるので、前述した応用に使用するためには、フラッシュメモリのための付加的な装置を採用しなければならない。フラッシュメモリにおいて、アドレス信号及び入出力データ信号は複数のピンを介して伝達され、複数のピンはアドレス入力ピンあるいはデータ入出力ピンとして使用される。即ち、アドレス入力ピンとデータ入出力ピンとは共通に使用される。そして、フラッシュメモリはピンを介して入力される信号がアドレス、データ、又は命令を示すかの可否を区分するための命令信号(又はストロブ信号)を必要とする。

【0004】図1に示す従来のフラッシュメモリ装置はローアドレスバッファ10、ローデコーダ20、カラムアドレスバッファ30、カラムデコーダ40、メモリセルアレイ50、ページバッファ60、カラムゲート回路70、そしてデータ出力バッファ80を有する。メモリセルアレイ50は複数のストリング(例えば、NAND型フラッシュメモリのNANDストリング)を構成する複数のメモリセルより成る。メモリセルアレイ50には複数のワードラインと複数のビットラインとがマトリクス状に配列される。メモリセルアレイ50のロー及びカラムの交差領域にはメモリセルが配列される。ローアドレスバッファ10及びカラムアドレスバッファ30は外部から印加されるロー及びカラムアドレスXRA及びXCAを各々受け入れて貯える。ローデコーダ20はローアドレスXRAをデコーディングしてメモリセルアレイ50のローを選択する。カラムデコーダ40はカラムアドレスXCAをデコーディングした後カラムゲート回路70にデコーディングされたカラムアドレスを伝達する。ページバッファ60は読出し動作中、選択されたローに対応するメモリセルに貯えられたデータを感じ知して一時的に貯え、書込み動作中選択されたローに対応するメモリセルに書込まれるデータ信号を貯える。Yゲート回路として知られるカラムゲート回路70はカラムデコーダ40の出力にตอบสนองしてページバッファ60に保たれるデータをデータ出力バッファ80へ伝達する。データ出力バッファ80は入出力ピン(図示せず)を介してページバッファ70から提供されるデータを外部へ出力する。

【0005】図1のフラッシュメモリ装置の読出し動作を説明するためのタイミング図が図2に示されている。信号命令に付いた“B”は信号が負のロジックで活性化されることを示す。制御信号CEB、WEB及びCLEが各々活性化レベルより成ることにより、読出し動作モ

ードを知らせる命令信号(例えば、00h)がフラッシュメモリ装置へ提供される。その後、制御信号ALEがハイレベルより成る時、ロー及びカラムアドレスは制御信号WEBのハイロー遷移により入出力ピンを介してメモリ装置へ印加される。

【0006】読出し命令信号及びアドレスを入力する動作が完了した後、制御信号R/BBはメモリ装置が話中状態に置かれるようにローレベルからハイレベルへ遷移する。話中状態では、メモリセルのデータが読出されてページバッファ60に貯えられる。信号R/BBがローレベルでハイレベルより成る時、メモリ装置は待機状態に置かれ、ページバッファ60により感知されたデータはメモリ装置の外部へ印加される。フラッシュメモリ装置が命令信号及びアドレスが印加される時まで読出し動作を実行しないことが分かる。

【0007】

【発明が解決しようとする課題】図1のフラッシュメモリ装置をブートアップメモリとして使用する場合、一つの問題が発起する。例えば、パソコンとして使用する場合、ブートアップメモリはパワーアップ時予め設定されたシステム情報又はバイオス配置(構成)に関連する予めプログラムされたブートアップデータを供給する基本機能を有すべきことである。コンピュータシステムの中央処理装置がブートアップメモリの予め設定されたファームウェアのローディング以前に実質的に動作しないので、従来のシステムはブートアップメモリにより自動的に開始されるように設計される。ブートアップメモリが単純なインタフェース構成を有する。しかし、前述したように、図1のフラッシュメモリ装置は命令及びアドレス信号の入力以前に、対応する制御信号(ストロブ信号)を必要とする。結果的に、たとえコンピュータシステムでブートアップ貯蔵媒体で機能的な利点があっても、図1のフラッシュメモリ装置をブートアップメモリとして使用することは望ましくない。

【0008】本発明の目的は、ブートアップ貯蔵要素としてシステムに使用するのに望ましいフラッシュメモリ装置を提供することである。本発明の他の目的は、ブートアップ貯蔵要素としてコンピュータシステムに使用される時、単純なインタフェース構成を有するフラッシュメモリ装置を提供することである。本発明のさらに他の目的は、パワーアップ時、外部アドレス信号及び外部命令信号の入力なしでブートアップデータを読出せるフラッシュメモリ装置及びそのデータ読出し方法を提供することである。

【0009】

【課題を解決するための手段】本発明の特徴によると、ブートアップメモリとしてシステムで使用されるフラッシュメモリ装置が提供される。フラッシュメモリ装置はメモリセルアレイと、電源検出回路と、アドレス発生手段と、読出し回路とを含む。メモリセルアレイはローと

カラムで配列された複数のメモリセルを有する。電源検出回路は電源電圧が所定の検出電圧より低い時第1検出信号を発生し、電源電圧が所定の検出電圧に到達する時第2検出信号を発生する。アドレス発生手段は第1検出信号にตอบสนองしてアドレスを内部的に発生し、第1検出信号にตอบสนองしてローアドレスを発生するローアドレスバッファと、第1検出信号にตอบสนองしてカラムアドレスを発生するカラムアドレスバッファとで構成される。そして、読出し回路はそうにして発生したロー及びカラムアドレスにตอบสนองして、メモリセルアレイからデータを読出す。読出し回路は内部的に発生されたアドレス中のローアドレスに対応するローを選択するロー選択回路と、内部的に発生されたアドレス中のカラムアドレスに対応するカラムを選択するカラム選択回路と、選択されたローのメモリセルに貯えられたデータを感知するページバッファ回路と、そして第2検出信号にตอบสนองしてページバッファ回路の感知動作を制御する読出しコントローラとから構成されている。さらに、フラッシュメモリ装置は読出し命令信号にตอบสนองしてページバッファ回路により感知されたブートアップデータをメモリ装置の外部へ出力するデータ出力バッファ回路を付加的に含む。

【0010】本発明の他の特徴によると、フラッシュメモリ装置を備えたシステムに電源電圧が印加される時メモリ装置に貯えられたブートアップデータを読出す方法が提供される。読出し方法によると、電源電圧が所定の検出電圧より低い時メモリ装置の内部で初期アドレスが発生され、電源電圧が所定の検出電圧に到達する時内部的に発生された初期アドレスによりブートアップデータが感知される。その後、外部からの読出し命令信号にตอบสนองして感知されたブートアップデータがメモリ装置の外部へ出力される。

【0011】本発明のさらに他の特徴によると、ローとカラムとで配列されたメモリセルを有し、ブートアップデータを貯えるフラッシュメモリ装置のデータ読出し方法が提供される。読出し方法によると、まず、電源電圧が所定の検出電圧より低い時初期ロー及びカラムアドレスが内部的に発生される。その後、電源電圧が所定の検出電圧に到達する時初期ローアドレスに対応するメモリセルに貯えられたブートアップデータがページバッファにより感知される。以後、初期カラムアドレスに対応するページバッファがカラムデコーダ及びカラムゲート回路により選択され、読出し命令信号にตอบสนองして選択されたページバッファに貯えられたデータがメモリ装置の外部へ出力される。

【0012】このような装置及び方法によると、外部アドレス及び命令なしでパワーアップ時電源電圧の自動的な検出動作によりメモリセルに貯えられたブートアップデータが感知できる。

【0013】

【発明の実施の形態】本発明による実施形態が参照図面

に基づき以下詳細に説明される。図3を参照すると、本発明のフラッシュメモリ装置はローアドレスバッファ100、ローデコーダ200、カラムアドレスバッファ300、カラムデコーダ400、メモリセルアレイ500、ページバッファ600、カラムゲート回路700、データ出力バッファ800、電源検出回路900、および読出しコントローラ1000を含む。

【0014】本発明の電源検出回路900はフラッシュメモリ装置に使用される電源電圧が所定の検出電圧より低いか又は高いかを検出し、検出結果で第1検出信号PDTを発生する。詳しくは、電源電圧が検出電圧より低い時、電源検出回路900は電源電圧により変化する第1検出信号PDTを発生する。もし電源電圧が検出電圧に到達すると、電源検出回路900から発生される第1検出信号PDTは接地電圧レベルとなる。また、電源検出回路900は電源電圧が検出電圧に到達する時ショートパルスの第2検出信号φPDTを発生する。

【0015】電源電圧により変化する第1検出信号PDTがローアドレスバッファ100及びカラムアドレスバッファ300に同時に印加される時、アドレスバッファ100及び300は外部ロー及びカラムアドレスXRA及びXCAの入力なしでメモリセルアレイ500に貯えられたブートアップデータ（ファームウェア）を読出すための（ブートアップデータに関連する読出し動作のための）初期ロー及びカラムアドレスを内部的に発生する。言い換えれば、ロー及びカラムアドレスバッファ100及び300は電源電圧による第1検出信号PDTが印加される時、初期ロー及びカラムアドレスが設定されるように設計される。そして、ロー及びカラムアドレスバッファ100及び300は電源電圧が検出電圧より高い時、正常的な読出し及び書込み動作のための外部アドレスを受け入れるように設計される。

【0016】第1検出信号PDTの制御により設定された初期ローアドレスはブートアップデータを貯えるメモリセクタ（又はメモリブロック）を選択するようにローデコーダ200を介してメモリセルアレイ500へ伝達される。カラムデコーダ400はカラムアドレスバッファ300で発生された初期カラムアドレスをデコーディングし、デコーディングされたカラムアドレス信号をカラムゲート回路700へ伝達する。

【0017】カラムゲート回路700はページバッファ600とデータ出力バッファ800との間に位置し、メモリセルアレイ500のメモリセクタから読出されたデータをデータ出力バッファ800へ伝達する。そして、読出しコントローラ1000は電源検出回路900から発生されたパルス形態の第2検出信号φPDTにより活性化され、その後ページバッファ600の感知動作を制御する。読出しコントローラ1000は、図面には示さなかったが、読出し動作に関連する制御動作を遂行する。ページバッファ600は読出しコントローラ1000の

制御により初期ローアドレスに対応するローのメモリセルに貯えられたデータを感知して一時的に貯える。

【0018】メモリセルアレイ500がホストコンピュータのブートアップファームウェア情報を貯えるブートアップセクタ501を有すると仮定すると、初期ローアドレスはブートアップセクタ501のワードラインを選択し、初期カラムアドレスはカラムゲート回路700がブートアップセクタ501からのデータをページバッファ600からデータ出力バッファ800へ伝達する。

【0019】この実施形態において、ローアドレスバッファ100、ローデコード200、カラムアドレスバッファ300、カラムデコード400、そしてページバッファ600は読出し回路に対応する。ローデコード200はロー選択回路に対応し、カラムデコード及びカラムゲート回路700はカラム選択回路に対応する。そして、ロー及びカラムアドレスバッファ100及び300はブートアップデータの読出し動作中アドレス発生手段で機能する。

【0020】図4は、図3の電源検出回路900の望ましい実施形態である。図4を参照すると、電源検出回路900は電源電圧検出部910及び検出信号発生部920で構成される。電源電圧検出部910において、PMOSトランジスタ911は電源電圧端子Vccと検出ノードN1との間に連結され、空乏型NMOSトランジスタ912は検出ノードN1と基板電圧端子Vss（又は接地電圧端子）との間に連結される。PMOS及びNMOSトランジスタ911及び912のゲートはVssに共通に連結される。検出信号発生部920において、第1検出信号PDTは直列接続されたインバータ921-923を介して検出ノードN1から生成される。第2検出信号φPDTはNORゲート927から出力され、NORゲート927の一入力は第1検出信号PDTに直接連結され、他の入力は直列接続されたインバータ924-926を介して第1検出信号PDTに連結される。NORゲート927及びインバータ924-926はショートパルス発生回路を構成する。検出ノードN1の電圧即ち、検出電圧は電源電圧の電流レベルと、トランジスタ911及び912のチャンネル抵抗比により決定される。

【0021】この際、ブートアップ装置として使用される本発明のフラッシュメモリ装置の動作が図5の流れ図と図6のタイミング図とに基づき説明される。本発明の望ましい実施形態によるフラッシュメモリ装置が本来の（又は正常な）読出し／書込み動作だけではなく、ブートアップメモリ機能に対する追加的な動作を遂行するという点に留意しなければならない。

【0022】図5を参照すると、ブートアップ動作を遂行するための手順はフラッシュメモリ装置に電源電圧を印加し（S10）、電源電圧が検出電圧より高いか否かを検出し（S15）、電源電圧が検出電圧より低い時に

生成される第1検出信号PDTにより初期ロー及びカラムアドレスを発生し（S20）、電源電圧が検出電圧に到達する時生成される第2検出信号φPDTにより初期ローアドレスに対応するメモリセルに貯えられたデータを感知し（S25）、初期カラムアドレスに対応するページバッファを選択し（S30）、そして読出し命令に応答してページバッファに貯えられたブートアップデータを出力（S35）することにより達成される。

【0023】段階（S10）では、図6に示すように、漸次的に増加する電源電圧が電源検出回路900の電源電圧端子Vccに印加される。電源検出回路900からの第1検出信号PDTは図6のパワーアップ時点t0から電源電圧により変化する。

【0024】段階（S15）では、電源電圧の電流レベルは検出ノードN1で決定される。図4の回路において、PMOSトランジスタ911は現在の電源電圧に対応する電荷を検出ノードN1へ供給し、空乏型NMOSトランジスタ912はそのような電荷を接地電圧端子Vssへ放電する。したがって、検出ノードN1での検出電圧レベルは空乏型NMOSトランジスタ912のチャンネル幅により影響を受ける。図6で、時刻t0での電源電圧印加後に増加する電源電圧が空乏型NMOSトランジスタ912の放電電位より低い間、即ち電源電圧が検出ノードN1での検出電圧より低い時には、検出ノードN1には電荷が存在しない。ここでは、第1検出信号PDTがハイレベルで活性化されて第2検出信号φPDTがローレベル（接地電圧レベル）に保たれる。

【0025】段階（S20）では、初期ロー及びカラムアドレスが電源電圧により変化する第1検出信号PDTに応じてロー及びカラムアドレスバッファ100及び300から発生される。そのように発生された初期ローアドレスはローデコード200を介してメモリセルアレイ500のブートアップセクタ501の対応するワードラインへ供給される。即ち、ブートアップデータを貯えるメモリセルに連結されたワードラインが選択される。

【0026】電源電圧が検出電圧に到達することにより第1検出信号PDTはハイ／ロー遷移を有する。一方、第2検出信号φPDTは第1検出信号PDTのロー遷移によりハイレベルのショートパルスで活性化される。第2検出信号φPDTのパルス幅はインバータ923の出力からNORゲート927まで連結されたインバータ924-926の数を変化させることにより調節できる。

【0027】次の段階（S25）で、読出しコントローラ1000は活性化された第2検出信号φPDTにตอบสนองして感知動作を遂行するようにページバッファ600を制御する。これはページバッファ600が初期ローアドレスに対応するロー（又はページ）のメモリセルに貯えられたブートアップデータを感知して一時的に貯えることにより実行される。

【0028】続けて、段階（S20）で生成された初期

9

カラムアドレスはカラムデコーダ400を介してカラムゲート回路700へ伝達され、カラムゲート回路700が感知されたブートアップデータを貯えるページバッファ(初期カラムアドレスに対応する)を選択する(S30)。ブートアップデータはカラムデコーダ400によりデコーディングされた初期カラムアドレスによりカラムゲート回路700を介してデータ出力バッファ800へ順次伝達される。

【0029】段階(S35)で、制御信号R/BBがローレベル(即ち、ビジー状態)からハイレベル(即ち、待機状態)に変化した後、読出し命令信号REB(図6参照)が時刻t2で印加されることにより、データ出力バッファ800に保たれるブートアップデータ(図6で参照符号'B'と表記される)は入出力ピンを介してメモリ装置から外部へ出力される。

【0030】

【発明の効果】前述したように、パワーオンされて電圧検出動作が実行されると、パワーオンからブートアップデータ出力までの全般的な動作手続きがフラッシュメモリ装置内で自動的に実行されることが分かる。そして、アドレス及び命令がメモリ装置に印加されるようにするため、外部からALE(アドレスラッチイネーブル)及びCLE(コマンドラッチイネーブル)のようなストロブ信号を受け入れる必要がない。外部アドレス及び命令なしで電源電圧の検出動作によりメモリセルに貯えられたブートアップデータのアドレッシング選

10

択及び伝達動作が自動的に実行されるので、本発明によるフラッシュメモリ装置はブートアップ貯蔵要素として使用されるシステムには望ましいものである。

【図面の簡単な説明】

【図1】従来のフラッシュメモリ装置のブロック図。

【図2】図1のフラッシュメモリ装置の読出し動作を説明するためのタイミング図。

【図3】本発明によるフラッシュメモリ装置のブロック図。

【図4】図3の電源検出回路の詳細回路図。

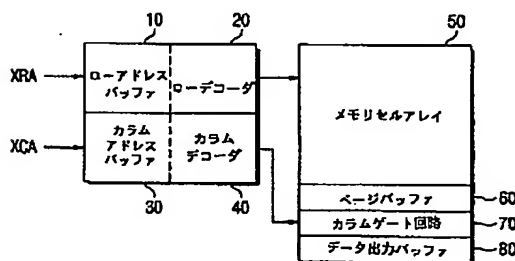
【図5】本発明によるブートアップデータ読出し方法の処理段階を示す流れ図。

【図6】本発明によるデータ読出し動作を説明するためのタイミング図。

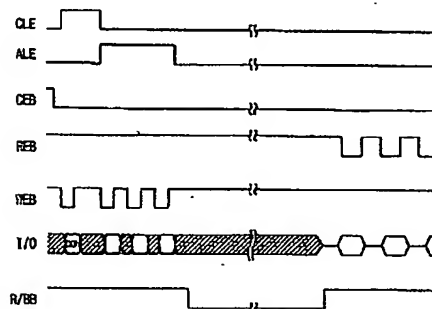
【符号の説明】

- 10, 100: ローアドレスバッファ
- 20, 200: ローデコーダ
- 30, 300: カラムアドレスバッファ
- 40, 400: カラムデコーダ
- 50, 500: メモリセルアレイ
- 60, 600: ページバッファ
- 70, 700: カラムゲート回路
- 80, 800: データ出力バッファ
- 900: 電源検出回路
- 1000: 読出しコントローラ

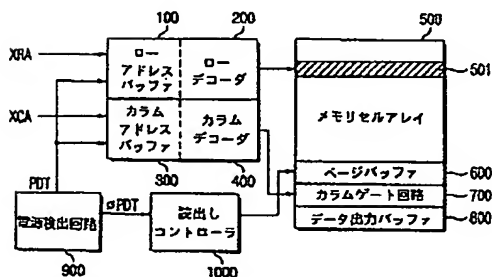
【図1】



【図2】

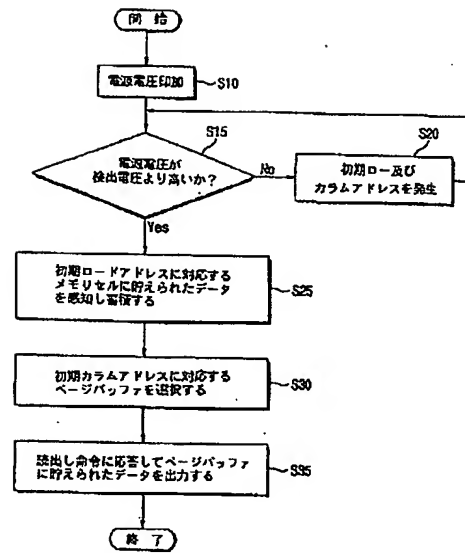


【図3】





【图5】



【図 6】

